

Wirtschaftspatent

Erteilt gemäß § 18 Absatz 2 Patentgesetz

ISSN 0433-6461

(11)

210 579

Int.Cl.<sup>3</sup>

3(51)

G 06 K

9/52

AMT FUER ERFINDUNGS- UND PATENTWESEN

---

(21) WP G 06 K/ 2440 305

(22) 15.10.82

(45) 13.06.84

---

(71) INSTITUT FUER NACHRICHTENTECHNIK; BERLIN, DD  
(72) ZECH, KARL-ADOLF, DR. RER. NAT.; DD;

---

(54) VERFAHREN ZUR PRUEFUNG GERASTERTER, EBENER FIGUREN

---

(57) Die Erfindung betrifft ein Prüfungsverfahren gerasterter, ebener Figuren auf Einhaltung bestimmter geometrischer Regeln bei Masken- oder Layoutunterlagen für elektronische Schaltkreise. Ein Großrechner soll entfallen und eine hohe Arbeitsgeschwindigkeit erreicht werden. Die Aufgabe besteht darin, mittels Parallelverarbeitung einer großen Anzahl von Bildelementen die Anzahl der Bewertungen pro Verarbeitungszyklus wesentlich zu erhöhen. Diejenigen Einzelheiten eines Bildelementes, die mindestens eine Regel verletzen, sollen markiert werden. Erfindungsgemäß werden die Bildelemente mehrerer Zeilen mehreren, zu einer Kette zusammengeschalteten, für eine Regel ausgelegten logischen Verarbeitungseinheiten zugeführt, wobei jede der Verarbeitungseinheiten taktstufenweise die Daten des zu überprüfenden Bildelementes einer ihr zugeordneten Bildzeile verarbeitet. Die in einer Verarbeitungseinheit aus vorangegangenen Verarbeitungsschritten vorliegende und abgespeicherte Information, die Information des gerade zu verarbeitenden Bildelementes sowie Informationen einer der benachbarten Verarbeitungseinheiten dienen zur Bewertung des zu verarbeitenden Bildelementes, zur Berechnung einer für eine andere Nachbareinheit bestimmte Information sowie zur Festlegung eines bis zum nächsten Schritt zu speichernden Zustandes.



-1-

Berlin, den 22. 09. 1982  
ze-kb 29170/450

Anmelder                      Karl-Adolf Zech                      Dr.rer.nat.

Titel

Verfahren zur Prüfung gerasterter, ebener Figuren

Anwendungsgebiet

Die Erfindung betrifft ein Verfahren zur Prüfung über ein gerastertes Bild verteilter, ebener Figuren oder Strukturen auf Einhaltung von mittels Regeln vorgegebenen geometrischen Werten, wie zum Beispiel Mindestabmessungen oder Mindestabstände.

Derartige Verfahren finden bei der Überprüfung von Maskenunterlagen oder Layoutunterlagen zur Herstellung von hoch- oder höchstintegrierten elektronischen Schaltkreisen Anwendung. Für die Überprüfung werden infolge des Anfalls einer Vielzahl von Daten Großrechner eingesetzt, wobei das gerasterte Bild der gesamten Schaltung eines Schaltkreises in einen Digital Speicher gegeben und die Abmessungen der Figuren mit vorgegebenen Werten verglichen werden.

15. OKT. 1982 \* 07. 11. 82

## Charakteristik bekannter technischer Lösungen

Eine Anzahl bekannter Methoden arbeitet mit einer gerasterten Darstellung einer mit Figuren bedeckten Bildfläche. Hierbei werden den über die Bildfläche verteilten Rasterpunkten als Bildelemente die logischen Worte "1" oder "0" zugeordnet, je nachdem, ob der Rasterpunkt innerhalb der geometrischen Abmessungen einer Figur liegt oder nicht.

Bei mehreren Bildebenen, zum Beispiel bei Layoutmasken für komplexe Mikroschaltkreise, besitzt das Bildelement mehrere Stellen, wobei jede Stelle zu einer Bildebene gehört. Die Stellen-Nummer im Bildelement ist identisch mit der Zähl-Nummer der Bildebene.

Zum Beispiel gibt die erste Stelle an, ob ein Bildelement in der ersten Bildebene zu einer Figur gehört, Stellenwert gleich "1", oder nicht, Stellenwert gleich "0". Die zweite Stelle gibt dies für die zweite Ebene an und so fort.

Bei dieser Darstellung kann relativ einfach entschieden werden, ob ein Bildelement in einer bestimmten Ebene zu einer Figur gehört oder nicht.

Es ist ein Verfahren zur Prüfung gerasterter, ebener Figuren bekannt, bei dem ein Fenster von maximal  $4 \cdot 4$  Bildelementen zeilenweise über die gerasterte Bildfläche bewegt wird, um jeweils zu entscheiden, ob die vorliegende Kombination der Bildelemente innerhalb des Fensters erlaubt ist oder nicht, das heißt, ob sie einer oder mehreren Regeln genügt, vgl. C. M. Baker "Artwork Analysis Tools for VLSI-Circuits", MS Thesis, May 1980, MIT Cambridge, Mass. USA.

Dieses Verfahren ist zwar rechnerfreundlich, beansprucht aber erhebliche Rechnerkapazität, das heißt Speicherplätze und Rechenstunden.

Es sind Schaltungsanordnungen bekannt, die den Rechner entlasten, aber eines erheblichen Aufwandes bedürfen, vgl.

L. Seiler, "Special Purpose Hardware for Design Rule Checking", Proceedings of 2. Caltech Conference on VLSI,

Pasadena, Jan. 1981.

Neben dem Einsatz eines Großrechners sind außerdem folgende Nachteile zu verzeichnen.

Das Verfahren ist auf Regeln beschränkt, in deren Überprüfung nur Flächenausschnitte von  $4 \cdot 4$  Bildpunkten einbezogen werden können.

Ferner ist dieses Verfahren wenig flexibel. Soll ein neues Regelsystem aufgestellt werden, wie es im Falle der Layoutprüfung und Verwendung einer anderen Halbleitertechnologie erforderlich ist, so müssen sowohl die gesamten Rechenprogramme als auch die zur Entlastung des Rechners eingesetzten Schaltungsanordnungen total erneuert werden.

Bei einem anderen bekannten Verfahren wird jedem Bildelement eine Bewertung zugeordnet, die über alle für dieses Bildelement bedeutsamen Umstände Auskunft gibt, die bei einer beliebigen aber vorher festgelegten Orientierung des zu beurteilenden Bildes "links" und "unterhalb" dieses Bildelementes aufgetreten sind.

Diese Bewertung eines Bildelementes läßt sich berechnen, wenn hierzu die bereits vorher ermittelte Bewertung seines "links" benachbarten Bildelementes, die Bewertung seines "unterhalb" benachbarten Bildelementes und das zu bewertende Bildelement hierfür herangezogen werden. Bei zeilen- und spaltenweiser Bearbeitung wird auf diese Weise jedes Bildelement der Bildfläche einer Bewertung unterzogen, wobei festgestellt wird, ob und wo welche Regel verletzt worden ist. Die Vorschrift, wie für ein gegebenes Bildelement die vorher genannte Bewertung ermittelt wird, ist von der zur Überprüfung herangezogenen Regel abhängig. Die Vorschrift kann heuristisch aufgestellt oder von einem Rechner systematisch generiert werden, vgl. R. A. Eustace; A. Mukhopadhyay, "A deterministic finite automaton approach to design rule checking for VLSI", Proceedings of the 19th Design Automation Conference, June 14 - 16, 1982, Las Vegas, Nev., USA.

Dieses Verfahren ist relativ flexibel und auf verschiedene Regelsysteme anwendbar. Von Nachteil ist der Einsatz eines Großrechners und daß alle Bewertungen der Bildelemente in einen zentralen Speicher gegeben, zum jeweiligen Zeitpunkt einer diskreten Bewertung eines Bildelementes die bereits ermittelten Bewertungen benachbarter Bildelemente aus dem zentralen Speicher geholt und das unmittelbare Ergebnis der diskreten Bewertung in den zentralen Speicher eingegeben werden müssen.

Hierdurch wird die Bearbeitungsgeschwindigkeit wesentlich herabgesetzt und der Rechner unnötig lange in Anspruch genommen.

#### Ziel der Erfindung

Ziel der Erfindung ist es, ein Verfahren zur Prüfung gerasterter, ebener Figuren auf Einhaltung vorgegebener Werte oder Regeln anzugeben, bei dem der Einsatz eines Großrechners entfällt und eine hohe Arbeitsgeschwindigkeit gewährleistet ist. Eine Flexibilität im Hinblick auf Änderungen der für die Prüfung dienender Regeln ist zu gewährleisten.

#### Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren anzugeben, das bei der Prüfung gerasterter, ebener Figuren durch eine Parallelverarbeitung einer großen Anzahl von Bildelementen eine Vervielfachung der Anzahl der Bewertungen der Bildelemente je Verarbeitungszyklus erreicht ohne übermäßige Inanspruchnahme zentraler Speichermedien. Hierbei wird von einer zeilenweisen Bildelementbewertung ausgegangen, die bei beliebiger aber fester Orientierung des zu prüfenden gerasterten Bildes bei jedem Prüfungsvorgang drei Größen pro zu bewertendem Bildelement berücksichtigt:

- die Bewertung des "links" benachbarten Bildelementes der gleichen Zeile

- die Bewertung des benachbarten Bildelementes der darunter befindlichen Zeile und
- das zu bewertende Bildelement.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die aus einem Bildspeicher übernommenen und in Zeilengruppen geordneten diskreten Werte der Bildelemente der ersten Gruppe benachbarter Zeilen des zu prüfenden gerasterten Bildes einzeln und nacheinander einer der Anzahl der Zeilen einer Zeilengruppe entsprechenden Anzahl untereinander seriell in Kette geschalteter, für eine erste Regel ausgelegter logischer Verarbeitungseinheiten, zum Beispiel Prozessoren, schrittweise derart zugeführt werden, daß die erste logische Verarbeitungseinheit für die erste Zeile in einem ersten Verarbeitungszyklus das erste Bildelement der ersten Zeile bewertet und die Bewertung speichert und daß in einem darauffolgenden zweiten Verarbeitungszyklus das zweite Bildelement der ersten Zeile der ersten logischen Verarbeitungseinheit und das erste Bildelement der zweiten Zeile der zweiten logischen Verarbeitungseinheit um einen Schritt verzögert zugeführt und anschließend ein Bewertungsablauf eingeleitet wird, derart, daß die in der ersten logischen Verarbeitungseinheit gespeicherte Bewertung des ersten Bildelementes der ersten Zeile der zweiten logischen Verarbeitungseinheit zugeführt und dort zur Bewertung des ersten Bildelementes der zweiten Zeile herangezogen wird und gleichzeitig das zweite Bildelement der ersten Zeile in der ersten logischen Verarbeitungseinheit in Abhängigkeit vom gespeicherten Wert des ersten Bildelementes der ersten Zeile bewertet wird und jede weitere Bewertung von Bildelementen der Zeilen in der jeweiligen logischen Verarbeitungseinheit gespeichert und im jeweils nächsten Verarbeitungszyklus in der zutreffenden logischen Verarbeitungseinheit und in der darauf in der Kette folgenden logischen Verarbeitungseinheit für eine Bewertung des zu prüfenden Bildelementes herangezogen wird, solange, bis das letzte Bildelement der letzten Zeile in der letzten

Zeile zugeordneten logischen Verarbeitungseinheit bewertet ist, die während der einzelnen Verarbeitungszyklen ihre gespeicherten Bewertungen einem Schieberegister zuführt, dessen Anzahl der Speicherplätze der Anzahl der Bildelemente einer Zeile entspricht, und das nach Beendigung des Bewertungsablaufes die gespeicherten Bewertungsergebnisse der ersten logischen Verarbeitungseinheit schrittweise übergibt, so daß diese Bewertungsergebnisse im darauf folgenden analogen Bewertungsablauf für die Bildelemente der ersten Zeile der darauf folgenden Zeilengruppe zur Bewertung mit herangezogen werden und so fort, bis das letzte Bildelement in der letzten Zeile der letzten Zeilengruppe des Bildes bewertet ist.

Zur Einbeziehung zum Beispiel einer zweiten Regel in den Bewertungsablauf wird so vorgegangen, daß die Bildelemente der für die erste Regel ausgelegten und in Kette geschalteten logischen Verarbeitungseinheiten bei jedem Schritt gleichzeitig einzeln an eine gleiche Anzahl in Kette geschalteter, für eine zweite Regel ausgelegter logischer Verarbeitungseinheiten weitergegeben werden, deren letzte ihre gespeicherten Bewertungen in gleicher Weise dem Schieberegister übergibt, das die Bewertungsergebnisse dieser Kette der ersten logischen Verarbeitungseinheit dieser Kette zuführt.

In Ausgestaltung des Erfindungsgedankens ist es möglich, je nach Anzahl von unterschiedlichen Regeln weitere Ketten von logischen Verarbeitungseinheiten in das Prüfungsverfahren einzubeziehen, die folgerichtig in der geschilderten Weise arbeiten.

In weiterer Ausgestaltung der Erfindung gibt jede logische Verarbeitungseinheit einer Kette für eine Fehleraussage einen Fehlerwert an die benachbarte logische Verarbeitungseinheit der nächsten benachbarten Kette ab, solange, bis der festgestellte Fehlerwert zur Eingabe in eine Auswerteschaltung in einer der logischen Verarbeitungseinheiten der letzten Kette vorliegt.

Als letzte Kette kann sowohl eine zusätzliche Kette, die nur die Fehlerwerte aufnimmt und weitergibt, als auch die letzte Bewertungskette herangezogen werden, sofern diese genügend Verarbeitungskapazität besitzt.

### Ausführungsbeispiel

Anhand von in der Zeichnung wiedergegebenen Ausführungsbeispielen wird das erfindungsgemäße Verfahren erläutert. In der Zeichnung zeigen:

- Fig. 1 ein Blockschalbild einer Schaltungsanordnung zur Durchführung des Verfahrens,
- Fig. 2a/Fig. 2b zwei Ebenen eines gerasterten Bildes mit Schaltkreisstrukturen,
- Fig. 3 ein in einem Bildspeicher vorliegendes Datenschema der Bildelemente der beiden Ebenen der Fig. 2,
- Fig. 4 eine symbolische Darstellung eines gerasterten Bildausschnittes und
- Fig. 5 ein Blockschalbild einer logischen Verarbeitungsschaltung.

Die in Fig. 1 als Blockschalbild dargestellte Schaltungsanordnung besteht im wesentlichen aus einem Bildspeicher S, in dem die Daten der Bildelemente, wie sie sich zum Beispiel aus den Fig. 2 und 3 ergeben, in diskreter Form gespeichert sind. Die Daten können sich aus einer zeilenweisen und diskreten Abtastung einer Schwarz-Weiß-Vorlage ergeben.

Ferner enthält die Schaltungsanordnung eine logische Verarbeitungsschaltung L, eine Taktschaltung T, ein Schieberegister SR und eine Auswerteschaltung A.

Der Wirkungszusammenhang geht aus dem Blockschalbild hervor, so daß auf eine besondere Beschreibung verzichtet wird. Die im Bildraaster vorliegenden Bildelemente, vgl. Fig. 2 bis 4, besitzen zum Beispiel eine Größenordnung



von  $2,5 \mu\text{m}$  und sind als Quadrate dargestellt, schwarze Quadrate gehören zu einer zu prüfenden ebenen Figur oder Struktur. Jedes Bildelement einer Ebene wird in bekannter Weise durch eine Null (weiß) oder eine Eins (schwarz) dargestellt. Bei mehrstelligen Darstellungen, zum Beispiel bei zwei Ebenen, gibt die erste Stelle die erste Ebene und die zweite Stelle die zweite Ebene an, in der das gespeicherte Bildelement seinen Platz hat. Bei einer Überdeckung in zwei Ebenen liegt also ein Datenwert 11 vor, vgl. Fig. 3. Der weitere Ablauf des Prüfverfahrens und die Vorgänge der Bewertung der Bildelemente werden anhand der Fig. 4 und 5 im folgenden erläutert. Das entsprechende Bild wird in Zeilengruppen ZG1;ZG2 und so weiter mit jeweils einer Anzahl 1 bis k benachbarter Bildzeilen aufgeteilt. Der Fall, daß eine Zeilengruppe auch aus nur einer Bildzeile besteht, ist hierin eingeschlossen.

Die Zeilengruppen ZG1;ZG2 und so weiter werden Spalte für Spalte nacheinander bearbeitet.

Jeder Zeile 1 bis k einer Zeilengruppe ZG1;ZG2 und so weiter wird bei einem Bewertungsablauf eine logische Verarbeitungseinheit L11 bis Lrk, im weiteren Logikeinheit genannt, zugeordnet, vgl. Fig. 5.

Die Logikeinheiten L11 bis Lrk, zum Beispiel Prozessoren, sind entsprechend der Anzahl der Zeilen 1 bis k in Kette geschaltet, wobei eine solche Bewertungskette von Logikeinheiten, zum Beispiel L11 bis L1k, eine Regel eines Regelsystems überprüft. Für eine Anzahl r Regeln sind somit auch r Ketten von Logikeinheiten erforderlich.

Im weiteren soll stellvertretend für alle Ketten die erste Kette L11 bis L1k von Logikeinheiten betrachtet werden.

Jede Logikeinheit L11 bis L1k liest schrittweise die einzelnen Bildelemente b der ihr zugeordneten Zeile ein, überprüft, ob die erste Regel eingehalten worden ist und produziert einen Ergebniswert, der bis zum nächsten Schritt von ihr gespeichert und innerhalb der Kette an die benachbarte Logikeinheit weitergegeben wird, die jeweils die

nächste Zeile im Hinblick auf die gleiche Regel bearbeitet und so fort.

Die letzte Logikeinheit  $L1k$  gibt ihren Ergebniswert an das Schieberegister  $SR$  ab. Nach vollständiger Bearbeitung aller Spalten der Zeilengruppe  $ZG1$  übergibt das Schieberegister  $SR$  die eingegebenen Ergebniswerte schrittweise an die erste Logikeinheit  $L11$  der ersten Kette  $L11$  bis  $L1k$ . Um die in jeder Logikeinheit  $L11$  bis  $L1k$  produzierten Ergebniswerte eines Bildelementes der nächsten Logikeinheit für die Bearbeitung eines Bildelementes der nächsten Zeile in der gleichen Spalte im richtigen Schritt zur Verfügung zu stellen, wird ein Bildelement einer Zeile, zum Beispiel  $b_{21}$ , im Hinblick auf das Bildelement der vorhergehenden Zeile, zum Beispiel  $b_{11}$ , der zugehörigen Logikeinheit, zum Beispiel  $L12$ , um einen Schritt verzögert zugeführt. Die schrittweise Steuerung übernimmt die Taktschaltung  $T$ . Im darauffolgenden Bewertungsablauf, bei dem die nächste Zeilengruppe  $ZG2$  bewertet wird, werden somit die vom Schieberegister  $SR$  ausgegebenen Bewertungsergebnisse der  $k$ -ten Zeile der ersten Zeilengruppe  $ZG1$  bei der Bewertung des ersten Bildelementes der ersten Zeile der nächsten Zeilengruppe  $ZG2$  mit herangezogen. Die weiteren Bewertungsabläufe verlaufen analog, bis das Bildelement der letzten Zeile der letzten Zeilengruppe bewertet ist.

Soll ein Bild auf mehr als eine Regel überprüft werden, so kann eine entsprechende Anzahl weiterer Ketten von Logikeinheiten  $L21$  bis  $L2k/Lr1$  bis  $Lrk$  in den Bewertungsablauf einbezogen werden. Im jeweiligen Bewertungsablauf werden dann zum Beispiel die Bildelemente der für die erste Regel ausgelegten und in Kette geschalteten Logikeinheiten  $L11$  bis  $L1k$  bei jedem Schritt gleichzeitig einzeln an eine gleiche Anzahl in Kette geschalteter, für eine zweite Regel ausgelegter Logikeinheiten  $L21$  bis  $L2k$  weitergegeben, deren letzte Logikeinheit  $L2k$  ihre Bewertungsergebnisse in gleicher Weise dem Schieberegister  $SR$  zuführt.

Die Ergebnisse werden also nicht in einen zentralen

Speicher gegeben, sondern es wird je Zeilengruppe ZG ein Ergebniswert je Spalte des gerasterten Bildes im Schieberegister SR gespeichert.

Besteht das gerasterte Bild insgesamt aus  $n$  Zeilen und  $m$  Spalten und werden in einer Zeilengruppe ZG  $k$  Zeilen bearbeitet, so ergeben sich  $\frac{n}{k}$  Zeilengruppen, so daß für die Bearbeitung der  $n \cdot m$  Bildelemente je Regel nur  $\frac{n \cdot m}{k}$  Zugriffe zum Schieberegister SR erforderlich sind. Die Arbeitsgeschwindigkeit wird somit um das  $k$ -fache erhöht. Besteht die logische Verarbeitungsschaltung  $L$  aus  $r$  Ketten für  $r$  Regeln, so wird die Anzahl der Zugriffe zum Bildspeicher  $S$  um das  $\frac{1}{r}$ -fache verringert.

Für eine Fehleraussage bei Regelverletzungen eines Bildelementes wird in jeder Logikeinheit  $L1$  bis  $Lr$  jeder Kette  $L1$  bis  $Lr$  ein Fehlerwert berechnet und an die benachbarte Logikeinheit der nächsten benachbarten Kette abgegeben, solange, bis der festgestellte Fehlerwert zur Eingabe in die Auswerteschaltung  $A$  in den Logikeinheiten derjenigen Kette vorliegt, die mit der letzten Regel prüft.

Die Fehlerwerte sind binär codiert. Der in die Auswerteschaltung  $A$  gelangende Fehlerwert ist einerseits Null, wenn bei Überprüfung des jeweiligen Bildelementes in den vorhergehenden Schritten keine Regelverletzung festgestellt wurde. Er ist andererseits gleich der Nummer derjenigen Regel, bei der als letzte eine Regelverletzung festgestellt worden ist.

Wird in der zutreffenden Logikeinheit eine Verletzung der Regel festgestellt, auf die hin diese Logikeinheit ein Bildelement prüft, so wird gleichzeitig mit dem Bildelement im nächsten Schritt die Nummer der verletzten Regel an die benachbarte Logikeinheit der nächsten benachbarten Kette weitergegeben, für die eine andere Regel zutrifft. Am Schluß geben die Logikeinheiten derjenigen Kette, die mit der letzten Regel prüft, Fehlerwerte aus, die aussagen, ob für das betreffende Bildelement eine Regelverletzung vorliegt oder nicht.

Auf diese Weise wird die Anzahl der für die Datenübertragung

notwendigen Leitungen reduziert.

Zur Verringerung der auszuwertenden Fehlerwerte kann die Fehlerübernahme und die Weitergabe an die Auswerteschaltung A von einer als letzte Kette arbeitenden zusätzlichen Kette von Logikeinheiten übernommen werden, die die Fehlerwerte innerhalb der Kette und parallel zum Fluß der Ergebniswerte bis zur letzten Logikeinheit weiterreicht.

Erhält eine Logikeinheit der zusätzlichen Kette vom Nachbarn der vorhergehenden Bewertungskette einen Fehlerwert ungleich Null, so gibt sie diesen im nächsten Schritt weiter, anderenfalls den Fehlerwert der benachbarten Logikeinheit der eigenen Kette.

Zur besseren Lokalisierung einer Regelverletzung kann mit dem jeweiligen Fehlerwert die binäre Zeilennummer der betreffenden Zeilengruppe weitergegeben werden, in der der Fehler festgestellt worden ist. Am Ausgang der Auswerteschaltung A ist dann ein Wert ablesbar, der angibt, in welcher Spalte im Bildraster mindestens eine Regel verletzt wurde. Dabei werden stets die höchste Zeilennummer der betreffenden Zeilengruppe und die höchste Nummer der verletzten Regel angegeben.

Bei  $r$  Regeln und  $k$  Zeilen pro Zeilengruppe wird dabei eine aus der Summe  $ldr + ldk$  gebildete Anzahl Binärsignale zur Ausgabe der Fehlermeldungen benötigt, wobei  $ld$  der Logarithmus zur Basis 2 ist.

Bei ausreichender Kapazität der Logikeinheiten der letzten Bewertungskette kann die Fehleraufnahme und Weitergabe auch von dieser Kette übernommen werden. Die zusätzliche Kette als letzte Kette würde dann entfallen.

## Erfindungsanspruch

1. Verfahren zur Prüfung über ein gerastertes Bild verteilter ebener Figuren oder Strukturen auf Einhaltung von durch Regeln vorgegebenen geometrischen Werten, bei dem bei einer zeilenweisen Bildelementbewertung und beliebiger aber fester Orientierung des zu prüfenden gerasterten Bildes die Bewertung des "links" benachbarten Bildelementes der gleichen Zeile, die Bewertung des benachbarten Bildelementes der darunter befindlichen Zeile und das zu bewertende Bildelement in jeden Prüfvorgang einbezogen werden, dadurch gekennzeichnet, das die aus einem Bildspeicher (S) übernommenen und in Zeilengruppen ZG1;ZG2... geordneten diskreten Werte der Bildelemente (b11... bis bk1) der ersten Gruppe (ZG1) benachbarter Zeilen (1 bis k) des zu prüfenden gerasterten Bildes einzeln und nacheinander einer der Anzahl (k) der Zeilen einer Zeilengruppe entsprechenden Anzahl untereinander seriell in Kette geschalteter, für eine erste Regel ausgelegter, logischer Verarbeitungseinheiten (L11 bis L1k), schrittweise derart zugeführt werden, daß die erste logische Verarbeitungseinheit (L11) für die erste Zeile (1) in einem ersten Verarbeitungszyklus das erste Bildelement (b11) der ersten Zeile (1) bewertet und die Bewertung speichert und daß in einem darauffolgenden zweiten Verarbeitungszyklus das zweite Bildelement (b12) der ersten Zeile (1), der ersten logischen Verarbeitungseinheit (L11) und das erste Bildelement (b21) der zweiten Zeile (2) um einen Schritt verzögert zugeführt und anschließend ein Bewertungsablauf eingeleitet wird, derart, daß die in der ersten logischen Verarbeitungseinheit (L11) gespeicherte Bewertung des ersten Bildelementes (b11) der ersten Zeile (1) der zweiten logischen Verarbeitungseinheit (L12) zugeführt und dort zur Bewertung des ersten Bildelementes (b21) der zweiten Zeile (2) herangezogen wird und gleichzeitig das zweite Bildelement (b12) der ersten Zeile (1) in der ersten logischen

Verarbeitungseinheit (L11) in Abhängigkeit vom gespeicherten Wert des ersten Bildelementes (11) der ersten Zeile (1) bewertet wird und jede weitere Bewertung von Bildelementen der Zeilen (1 bis k) in der jeweiligen logischen Verarbeitungseinheit (L11 bis L1k) gespeichert und im jeweils nächsten Verarbeitungszyklus in der zutreffenden logischen Verarbeitungseinheit und in der darauf in der Kette folgenden logischen Verarbeitungseinheit für eine Bewertung des zu prüfenden Bildelementes herangezogen wird, solange, bis das letzte Bildelement der letzten Zeile (k) in der der letzten Zeile zugeordneten logischen Verarbeitungseinheit (L1k) bewertet ist, die während der einzelnen Verarbeitungszyklen ihre gespeicherten Bewertungen einem Schieberegister (SR) zuführt, dessen Anzahl der Speicherplätze der Anzahl der Bildelemente einer Zeile entspricht, und das nach Beendigung des Bewertungsablaufes die gespeicherten Bewertungsergebnisse der ersten logischen Verarbeitungseinheit (L11) schrittweise übergibt, so daß diese Bewertungsergebnisse im darauffolgenden analogen Bewertungsablauf für die Bildelemente der ersten Zeile (1) der darauffolgenden Zeilengruppe (ZG2) zur Bewertung mit herangezogen werden und so fort, bis das letzte Bildelement in der letzten Zeile der letzten Zeilengruppe des Bildes bewertet ist.

2. Verfahren nach Punkt 1 dadurch gekennzeichnet, daß die Bildelemente der für die erste Regel ausgelegten und in Kette geschalteten logischen Verarbeitungseinheiten (L11 bis L1k), bei jedem Schritt gleichzeitig einzeln an eine gleiche Anzahl in Kette geschalteter, für eine zweite Regel ausgelegter logischer Verarbeitungseinheiten (L21 bis L2k) weitergegeben werden, deren letzte (L2k) ihre gespeicherten Bewertungen in gleicher Weise dem Schieberegister (SR) übergibt, das die Bewertungsergebnisse dieser Kette (L21 bis L2k) der ersten logischen Verarbeitungseinheit (L21) dieser Kette (L21 bis L2k) zuführt.

3. Verfahren nach Punkt 2, dadurch gekennzeichnet, daß je nach Anzahl (r) der Regeln weitere Ketten logischer Verarbeitungseinheiten (Lr1 bis Lrk) in das Prüfungsverfahren einbezogen werden.

4. Verfahren nach Punkt 1 bis 3, dadurch gekennzeichnet, daß jede logische Verarbeitungseinheit (L11 bis Lrk) einer Kette (L1 bis Lr) für eine Fehleraussage einen Fehlerwert an die benachbarte logische Verarbeitungseinheit der nächsten benachbarten Kette abgibt, solange, bis der festgelegte Fehlerwert zur Eingabe an eine Auswerteschaltung (A) in einer der logischen Verarbeitungseinheiten der letzten Kette vorliegt.

5. Verfahren nach Punkt 4, dadurch gekennzeichnet, daß die Fehlerwerte an eine zusätzliche, nur die Fehlerwerte übernehmende und weitergebende Kette abgegeben werden.

Hierzu 4 Seiten Zeichnungen

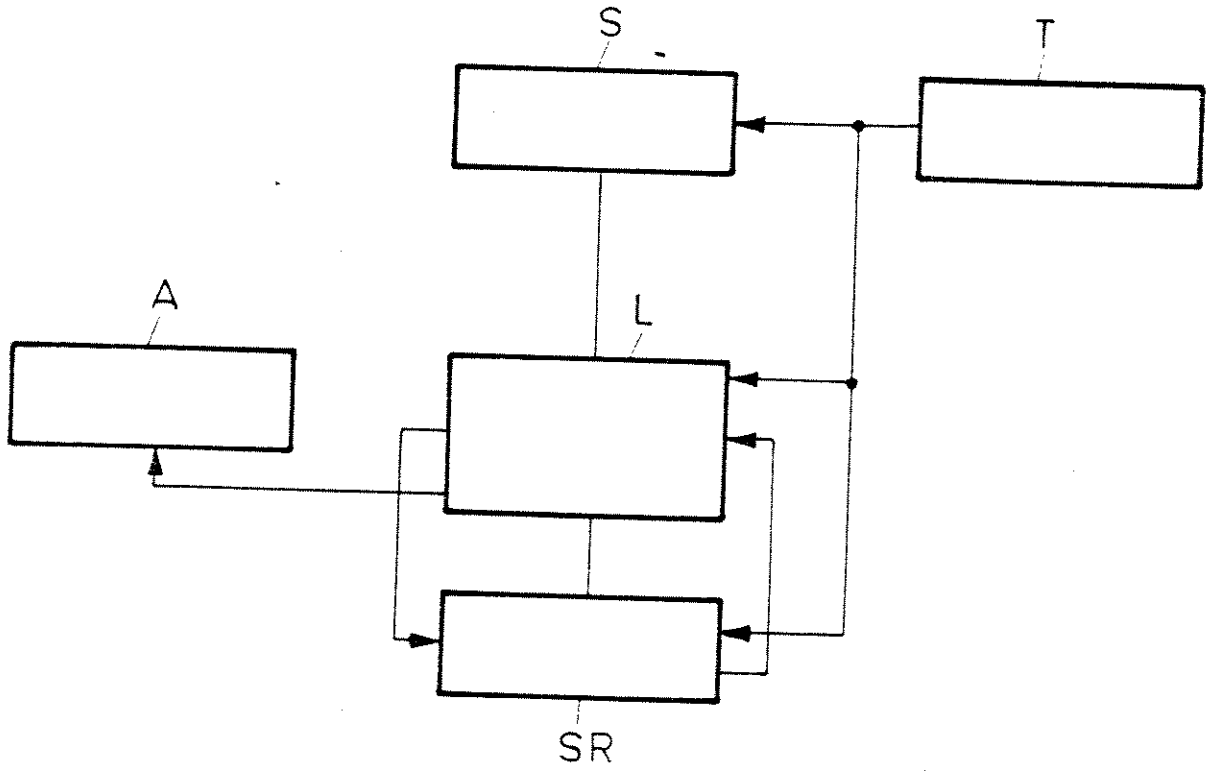


Fig. 1



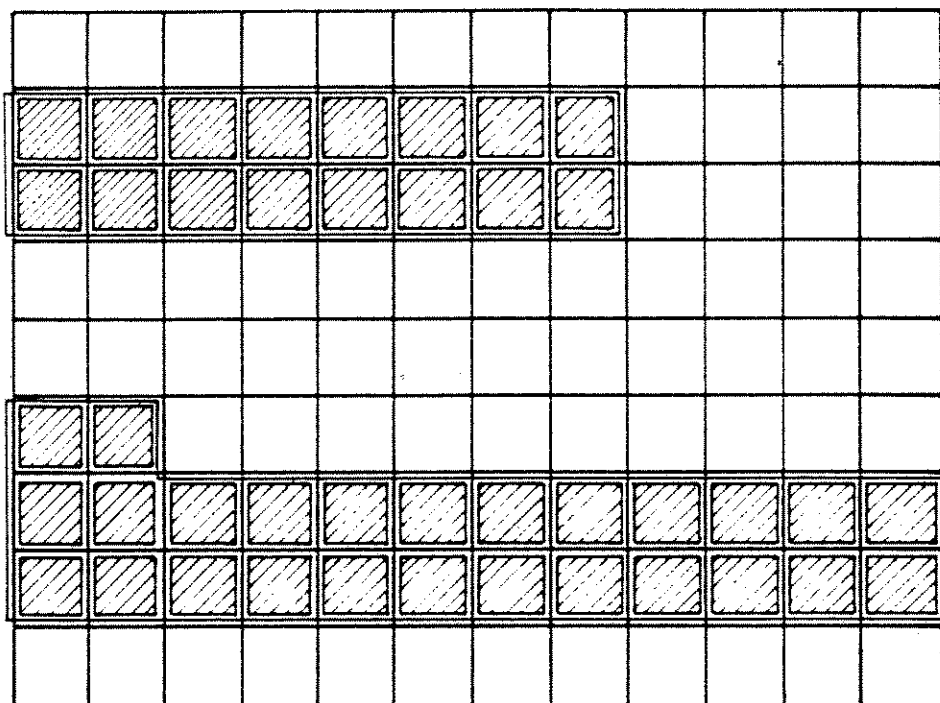


Fig. 2a

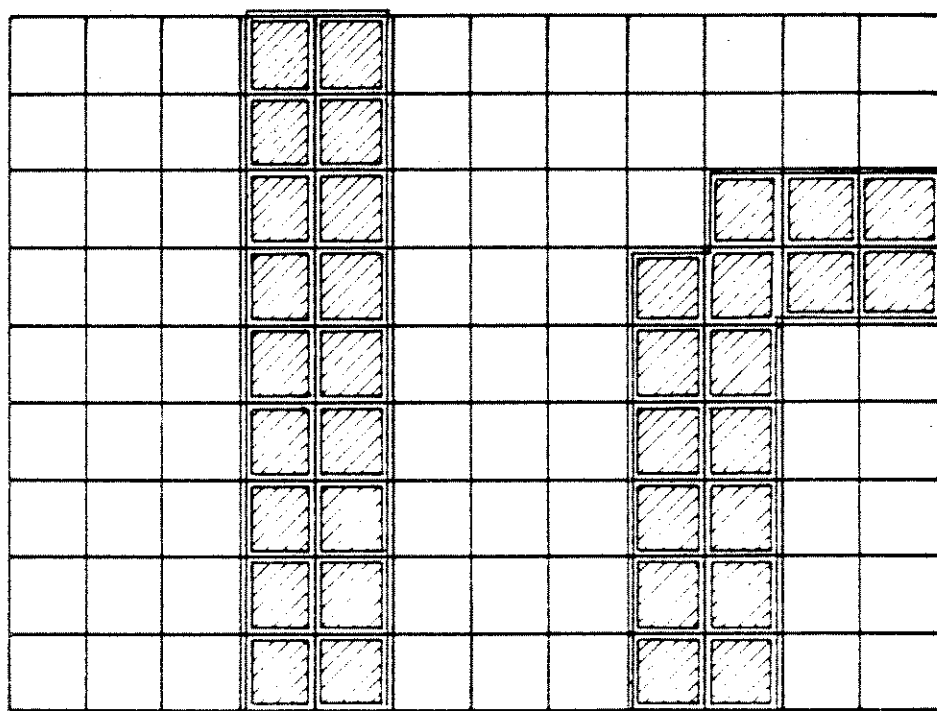


Fig. 2b

00	00	00	01	01	00	00	00	00	00	00	00
10	10	10	11	11	10	10	10	00	00	00	00
10	10	10	11	11	10	10	10	00	01	01	01
00	00	00	01	01	00	00	00	01	01	01	01
00	00	00	01	01	00	00	00	01	01	00	00
10	10	00	01	01	00	00	00	01	01	00	00
10	10	10	11	11	10	10	10	11	11	10	10
10	10	10	11	11	10	10	10	11	11	10	10
00	00	00	01	01	00	00	00	01	01	00	00

Fig. 3

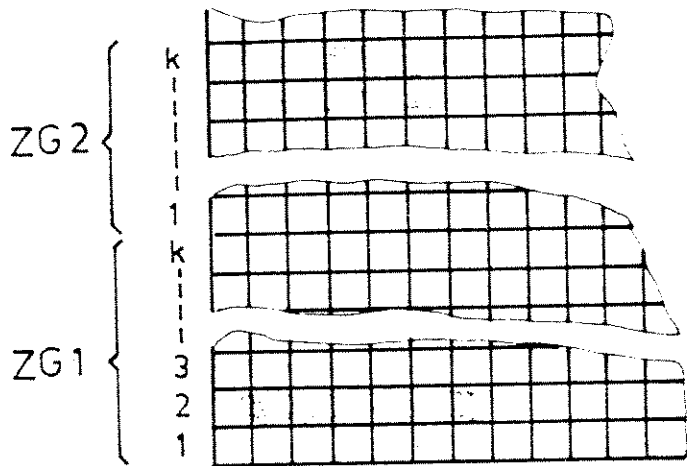


Fig. 4

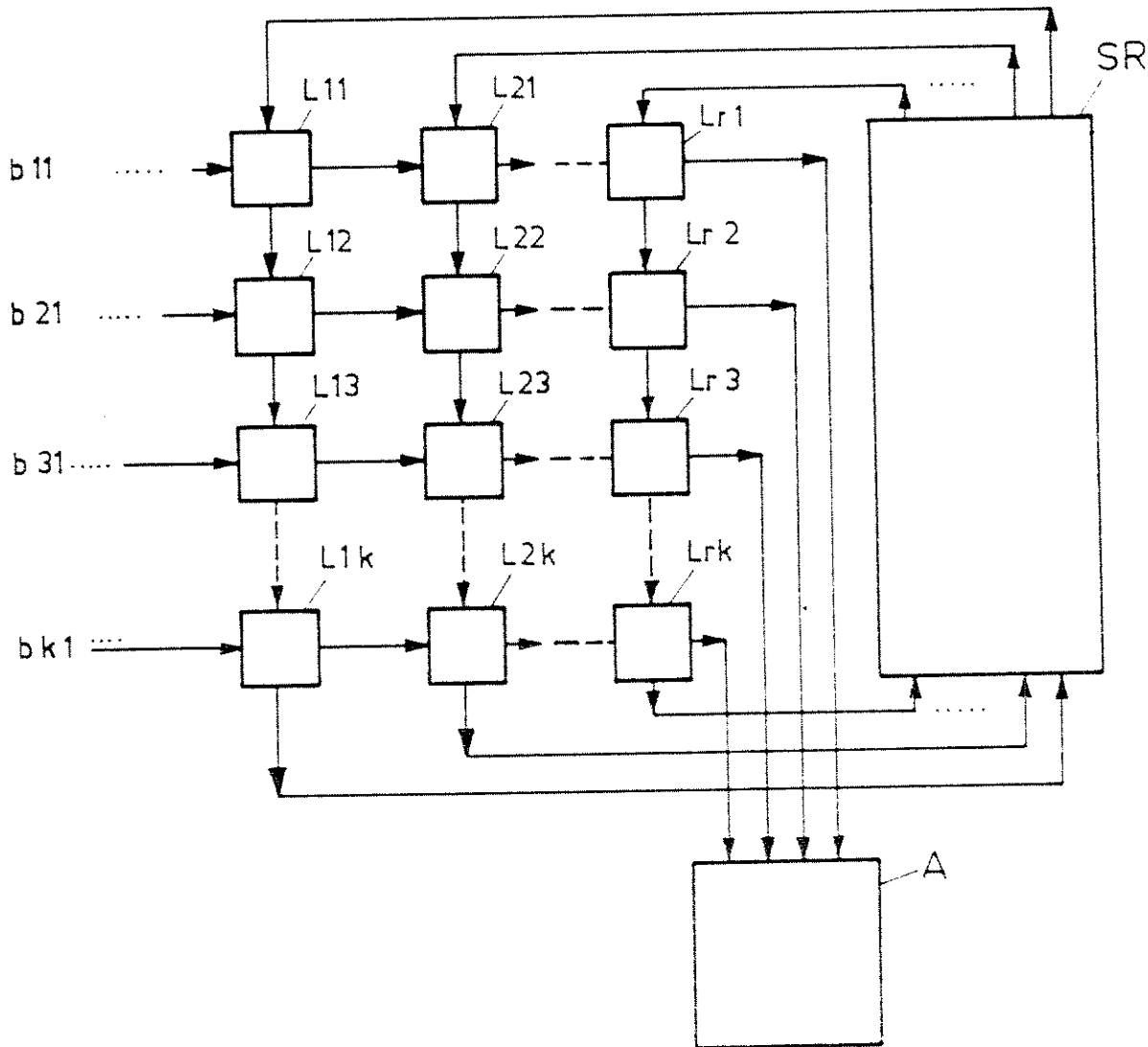


Fig. 5

Ant für Erfindungs- und  
Patentwesen der DDR

- NA Elektrotechnik/Elektronik -

1080 Berlin  
Mohrenstr. 37b

10

841-22-kb  
29170/450,456

31. 1. 1984

Betr.: WP G 05 K/244 030-5 "Verfahren zur Prüfung gerasterter,  
ebener Figuren"

und  
WP G 08 K/247 797-7 "Verfahren zur Prüfung von gerasterten  
Bildstrukturen"

Entsprechend den in Anschreiben vom 31. 10. 1983 genannten Beur-  
teilungsschwerpunkten wird folgende Einschätzung gegeben:

1. Das beabsichtigte Ergebnis wird mit der erfindungsgemäßen  
**Lösung erreicht**. Als Problem dieser Lösung ist erkennbar, daß  
der bisherige hohe Softwareaufwand zum Erreichen des gleichen  
Ergebnisses durch Hardware ersetzt wird, die nur durch hochinte-  
grierte Mikroelektronik ökonomisch realisierbar ist. Damit tritt  
das Problem auf, ob der Anwendungsumfang ausreicht, die hohen  
ökonomischen Aufwendungen zur Schaffung solcher Spezial-IS zu  
rechtfertigen.
2. **Gleichwertige** Lösungen oder bessere Lösungen sind derzeit  
**nicht bekannt**.
3. Die Erfindung hat das Ziel, den wachsenden Aufwand insbeson-  
dere an Rechenzeit bei der Entwicklung hochintegrierter Schalt-  
kreise für den technologischen Teilschritt Topologieprüfung durch  
Ersatz der Software durch Hardware beherrschbar zu machen. Hier  
folgt die Erfindung dem internationalen Trend der Entwicklung zur  
Lösung komplexer rechen technischer Aufgabenstellungen, standardi-  
sierbare Softwareaufgaben durch wesentlich schnellere Hardware-  
lösungen zu ersetzen. Dieser Schritt ist allerdings nur dann gang-  
bar, wenn entsprechende Einsatzstückzahlen der Gerätesysteme, für  
denen diese Hardwarelösungen zum Einsatz kommen, die Entwicklung  
ökonomisch rechtfertigen.



INT Berlin

- BfS -

1160 B e r l i n

Edisonstr. 63

Betr.: WP Go6 K/244 030/5  
WP Go6 K/247 797/7 (Spezialhardware zur Layoutprüfung);  
Schreiben des ZfTM/EGL3-Pg/Mei vom 10. Jan. 84 an INT/BfS

Ich teile die Einschätzung der Fachabteilung Entwurfsmethodik des ZfTM zu meinen o.gen. Erfindungen. Ergänzend hierzu sei folgendes vermerkt:

1. Eine Implementierung ist nicht an die Schaffung von Speziialschaltkreisen gebunden. Zumindest für erste Anwendungen und weitere Untersuchungen sind Baugruppen mit EPROMs o.dgl. empfehlenswert.
2. Weitergehende Überlegungen zeigen, daß auch bei konservativer Schätzung die Größenordnung von 10 Minuten für das Testen eines Entwurfes - insbesondere bei Vorhandensein weiterer Hardwarekomponenten - herabzusetzen ist in den Sekundenbereich. Die Abarbeitungszeit bei den gegenwärtigen Softwaremethoden ist dagegen in EDV-Schichten zu messen ("Wochenenden").
3. Von Bedeutung ist ferner, daß für die eigentliche Prüfung auf Großrechnerkapazität verzichtet werden kann, also Klein- oder Mikrorechnerkonfigurationen als ausreichend erscheinen.
4. Sowohl die kurzen Reaktionszeiten als auch rel. geringe Anforderungen an das Wirtssystem sind Bedingungen für eine interaktive Bearbeitung des Schaltkreisentwurfs im Dialogbetrieb, insbesondere hinsichtlich der zunehmenden Übernahme von Entwurfsaufgaben durch Gerätehersteller. Hier liegt der hauptsächlichste Rationalisierungseffekt.

Zum internationalen Vergleich

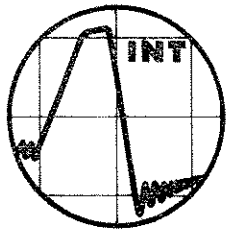
Zur Zeit dürfte die Implementierung einer Ein-Prozessorlösung an der Universität von Zentralflorida/USA (in Zusammenarbeit mit der Stanford Universität) abgeschlossen sein, wie Literaturstudien erwarten lassen. Die hier bereits genauer abzuschätzenden Reaktionszeiten liegen ebenfalls im Sekundenbereich. Obwohl der Implementierungsaufwand obiger Lösung weniger als linear mit der Array-Größe steigt, verkürzen sich die Bearbeitungszeiten mehr als linear, wobei zusätzlich implementierungsabhängige Größenbeschränkungen für die Entwürfe nicht existieren.

Anmerkung

Die seinerzeitige Zurückweisung von Vorhaben zur Erläuterung und Diskussion dieser Ideen sowie entsprechender Bitten des ZfTM durch die INT-Leitung aufgrund "gegenwärtiger Nicht-Übereinstimmung mit INT-Interessen" ist mir immer noch unverständlich und der Sache nicht förderlich, ist m.E. jedoch nicht darauf zurückzuführen, daß der Gegenstand o.gen. Erfindungen nicht zu meinen damaligen Arbeitsgebieten gehörte.

Dup.: ZfTM/BfS

*K. A. Zech*  
(Dr. K.-A. Zech)



INSTITUT FÜR NACHRICHTENTECHNIK  
FORSCHUNGSZENTRUM  
DES VEB KOMBINAT NACHRICHTENELEKTRONIK



INSTITUT FÜR NACHRICHTENTECHNIK  
DDR-1160 Berlin, Edisonstraße 63

Kollege  
Dr.rer.nat. Karl-Adolf Zech

1058 Berlin  
Schliemannstr. 28

Ihre Zeichen

Ihre Nachricht vom

Fernsprecher  
63 8

Unsere Zeichen

sn-ze-kb  
29170/450

Datum

13. 8. 1984

Betr.: Patentanmeldung WP G 06 K / 244 030 5  
"Verfahren zur Prüfung gerasterter, ebener Figuren"

Werter Kollege Dr. Zech!

Das Amt für Erfindungs- und Patentwesen der DDR hat im Ergebnis der staatlichen Patentprüfung für Ihre o. g. Erfindungsanmeldung ein Wirtschaftspatent gemäß § 18 Abs. 2 des Patentgesetzes vom 27. 10. 1983 erteilt, dessen Urkunde und Patentschrift beigelegt sind.

Ich danke Ihnen für Ihre schöpferische Mitarbeit bei der Erfüllung unserer Planaufgaben.

Institut für Nachrichtentechnik

*Dr. sc. techn. Lochmann*

Dr.sc.techn. Lochmann  
Institutsdirektor

Anlagen  
1 Urkunde  
1 PS 210 579

# URKUNDE

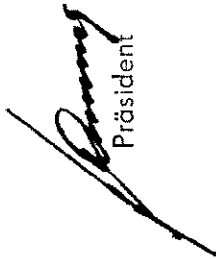
ÜBER DIE ERTEILUNG  
EINES PATENTES

PATENT - NR. 210 579

Für die registrierte Erfindung wird hiermit ein Patent gemäß § 29, Absatz 1,  
des Patentgesetzes vom 6. September 1950 (GBl. S. 989) erteilt.

Amt für Erfindungs- und  
Patentwesen der DDR

Berlin, den 13.06.84

  
Präsident

Die als Anlage beigefügte Patentschrift ist Bestandteil dieser Urkunde!

**Die Erteilung des Patents erfolgte gemäß § 18 Abs. 2  
des Patentgesetzes vom 27. Oktober 1983 (GBl. I Nr. 29)**